

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-160903

(43) 公開日 平成6年(1994)6月7日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/78	3 1 1 A

審査請求 未請求 請求項の数3(全7頁)

(21) 出願番号 特願平4-316741

(22) 出願日 平成4年(1992)11月26日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 古橋 弘幸

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72) 発明者 小間 徳夫

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

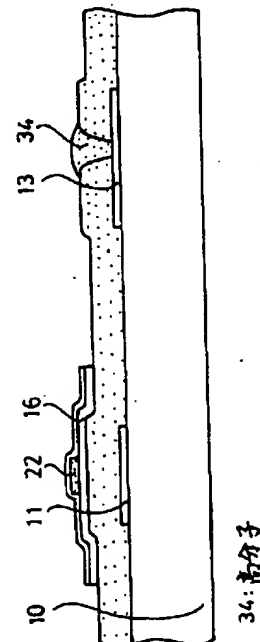
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【目的】 ゲート絶縁膜の成膜時に付着するダストが原因で、補助容量電極と表示電極が短絡することがある。本願は、この短絡を防止することを目的とする。

【構成】 ピンホール(33)をエッチングして、補助容量電極が露出していないピンホールも露出させ、このピンホール(33)に高分子(34)を電着させて、この後に表示電極(19)を形成する。



【特許請求の範囲】

【請求項1】 透明な絶縁性基板上的補助容量電極とこの補助容量電極を含め全面に設けられた少なくとも1層のゲート絶縁膜を介して設けられた表示電極との短絡を防止する液晶表示装置の製造方法であって、

前記表示電極を形成する前に、短絡部分に対応する補助容量電極の表面を露出し、この露出した補助容量電極を有した絶縁性基板を電着槽に挿入し前記補助容量電極に通電しながら前記露出領域に高分子膜を電着することを特徴とした液晶表示装置の製造方法。

【請求項2】 透明な絶縁性基板にゲートおよび補助容量電極を形成する工程と、

このゲートおよび補助容量電極を含む前記絶縁性基板全面に少なくとも1層のゲート絶縁膜、ノンドープの非単結晶シリコン膜および半導体保護膜材料を連続して積層する工程と、

前記半導体保護膜を所定の形状にエッチングし、更に高濃度にドーパされた非単結晶シリコン膜も含めて前記シリコン膜をパターニングする工程と、

以前の工程により発生した前記ゲート絶縁膜のピンホール内に前記補助容量電極が露呈していない場合は、この補助容量電極を露呈させる工程と、

この露呈した補助容量電極を有した前記絶縁性基板を電着槽に挿入し前記補助容量電極に通電しながら前記露呈領域に高分子膜を電着する工程と、

前記補助容量電極と重畳するように表示電極を形成する工程とを有することを特徴とした液晶表示装置の製造方法。

【請求項3】 透明な絶縁性基板にゲートおよび補助容量電極を形成する工程と、

このゲートおよび補助容量電極を含む前記絶縁性基板全面に少なくとも1層のゲート絶縁膜、ノンドープの非単結晶シリコン膜および高濃度にドーパされた非単結晶シリコン膜を連続して積層する工程と、

前記2つの非単結晶シリコン膜を所定の形状にエッチングする工程と、

以前の工程により発生した前記ゲート絶縁膜のピンホール内に前記補助容量電極が露呈していない場合は、この補助容量電極を露呈させる工程と、

この露呈した補助容量電極を有した前記絶縁性基板を電着槽に挿入し前記補助容量電極に通電しながら前記露呈領域に高分子膜を電着する工程と、

前記補助容量電極と重畳するように表示電極を形成する工程とを有することを特徴とした液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置に関し、特にゲート絶縁膜に発生するピンホールを補償する製造方法に関するものである。

【0002】

【従来の技術】 一般に、液晶表示装置は、カラーTVを中心に開発や量産化が活発に進められている。これらの技術動向を詳細に説明したものとして、日経BP社が発行した「フラットパネル・ディスプレイ 1991」がある。この中には、色々な構造の液晶表示装置が開示されているが、ここではTFTを利用したアクティブ・マトリックス液晶表示装置で以下に説明をしてゆく。

【0003】 このアクティブ・マトリックス液晶表示装置は、例えば次の如き構成を有する。まず透明な絶縁性基板、例えばガラス基板がある。このガラス基板には、TFTの一構成要素となるゲートおよび補助容量電極が、例えばMo-Ta合金等より形成されている。更に全面にはSiNxから成る膜が積層されている。続いて前記ゲートに対応するSiNx膜上には、アモルファス・シリコン膜およびN⁺型のアモルファス・シリコン膜が積層され、この2層のアモルファス・シリコン膜の間には、半導体保護膜が設けられている。

【0004】 続いてN⁺型のアモルファス・シリコン膜上には、それぞれソース電極およびドレイン電極が、例えばMoとAlの積層体で設けられている。更には前記補助容量電極に対応する前記SiNx膜上に、例えばITOより成る表示電極が設けられ、前記ソース電極と電気的に接続されている。一方、図示していないが、前記ガラス基板と対向して、ガラス基板が設けられ、このガラス基板上に対向電極が設けられている。更に、この一対のガラス基板間に液晶が注入され、液晶表示装置と成る。

【0005】 一方、図10乃至図12は、補助容量電極(50)と表示電極(51)に着目しながら製造方法を説明したものである。まず図10から判るように、ガラス基板(52)には、前記補助容量電極(50)を含め全面にゲート絶縁膜(53)が設けられているが、この中にはダスト(54)が混入されていると考える。このゲート絶縁膜上に更にa-Si(55)および半導体保護膜材料であるSiNx(56)を積層している。

【0006】 続いて図11のように、図示されていないTFTの半導体保護膜やa-Siよりなる活性層の形成のために、エッチングを行っている。従って、補助容量電極(50)の上のa-SiとSiNxは、除去される。更に図12のように、TFTと電気的に接続される表示電極(51)が全面に形成され、補助容量電極(50)と表示電極(51)で補助容量を構成している。

【0007】

【発明が解決しようとする課題】 以上の構成に於いて、前記SiNx膜(53)に、ピンホールが発生し、このピンホールを介して、前記表示電極(51)が前記補助容量電極(50)に短絡する問題があった。これは、SiNx膜より成る半導体保護膜(56)をエッチングする際に、補助容量電極(50)に対応するアモルファス

3

シリコン膜(55)が、このSiN_x膜のエッチャントに浸され、補助容量電極(53)上に存在するダスト(54)をくりぬいてピンホールを形成し、補助容量電極(50)と表示電極(51)を短絡させていた。

【0008】液晶表示装置は、近年30万~100万画素を有し、ますますこの画素数が増大する傾向にある。しかしこの様な状況下で、1個の点欠陥さえ容認されず、前記ピンホールが1つしか生じなくとも、歩留り低下の大きな要因となっていた。

【0009】

【課題を解決するための手段】本発明は、前述の課題に鑑みて成され、前記表示電極(19)を形成する前に、短絡部分に対応する補助容量電極(13)の表面を露出し、この露出した補助容量電極(13)を有した絶縁性基板(10)を電着槽に挿入し前記補助容量電極(13)に通電しながら前記露出領域に高分子膜(34)を電着することで解決するものである。

【0010】

【作用】電着によるレジストは、通電部に付着するために、電着槽に基板を浸し、補助容量電極に通電すると、中で補助容量電極が露出しているピンホールにレジストを付着させることができる。また中で補助容量電極が露出されていないが、耐圧劣化の原因となるピンホールには、電着の前にピンホールをエッチングして電極を露出させることで、殆ど全てのピンホールに樹脂を埋め込むことができる。また電着の際、まずピンホールにはレジストが疎に分布しているので電着が成長するが、成長してゆくに付れてレジストが密になり成長が止まる。従って、補助容量の値を変える如く厚く着くこともない。従って補助容量の値を大きく変えずに短絡、耐圧劣化を防止できる。

【0011】従って、たった1個のピンホールしかない製品をも良品とすることができ、大幅な歩留り向上を達成できる。

【0012】

【実施例】以下に本発明の構成を図5および図6を参照しながら説明する。まず、透明な絶縁性基板(10)上に形成されたゲート(11)、およびこのゲート(11)と一体で形成された複数本のゲートライン(12)と、このゲートラインと離間して形成された補助容量電極(13)、および図面では省略されているがこの補助容量電極(13)と一体で形成された補助容量ライン(14)と、実質的に前記絶縁性基板(10)の全面に形成されたゲート絶縁膜(15)がある。

【0013】透明な絶縁性基板(10)は、例えばガラスより成る。このガラス基板(10)上には、一点鎖線の如く、ゲート(11)、このゲート(11)と一体のゲートライン(12)が、紙面に対し左右に延在され、TFTの形成領域のみ突出して形成されている。また一点鎖線で示された補助容量電極(13)およびこの電極

4

(13)と一体で成る補助容量ライン(14)が設けられ、後述する表示電極領域の下層に重畳するように形成され、更には紙面に対し左右に設けられた隣接する補助容量電極とを接続するために、補助容量ライン(14)が設けられている。また両者は、例えばCrより成っているが、Ta、TaMoおよびCr-Cu(Feが微量入ったもの)等でも良い。

【0014】ゲート端子および補助容量端子は、例えばITO等より成りガラス基板(1)の周辺に設けられ、最終構造として考えると、これらは夫々電気的に接続されている。またゲート(11)、ゲートライン(12)、補助容量電極(13)および補助容量ライン(14)を覆うゲート絶縁膜(15)がある。この膜は、プラズマCVD法で形成されたSiN_x膜である。ここでは、SiN_x膜の代りにSiO₂膜を使用しても良いし、この2つの膜を2層にしても良い。またSiN_x膜やSiO₂膜を単独で使う場合、成膜工程を2工程に分け、2層構造としても良い。たまたゲート絶縁膜のピンホールを被うように高分子が設けられている。

【0015】次にゲート(11)を一構成とするTFTの活性領域を覆うように形成された第1の非単結晶シリコン膜(16)と、前記ゲート(11)を一構成とするTFTのソース領域、ドレイン領域に設けられた第2の非単結晶シリコン膜(17)、(18)と、前記補助容量電極(13)と重畳して設けられたITOよりなる表示電極(19)と、この表示電極とソース領域(17)とを電気的に接続するソース電極(20)と、前記ゲートラインと直行する方向に延在されたドレイン電極(21)と一体のドレインライン(22)とがある。またトランジスタのチャンネル領域には半導体保護膜(22)が、エッチングストッパーとして設けられている。

【0016】以下は図示していないが上層には、例えばポリイミド等から成る配向膜が設けられている。一方、ガラス基板(10)と対をなす対向ガラス基板が設けられ、この対向ガラス基板には、TFTと対応する位置に遮光膜が設けられ、対向電極が設けられる。更には、前述の配向膜が設けられる。更には、この一対のガラス基板間にスペーサが設けられ、周辺を封着材で封着し、注入孔より液晶が注入されて本装置が得られる。

【0017】続いて、本装置の製造方法を図1乃至図5を参照しながら説明してゆく。まず、光を透過する絶縁性基板(10)を用意し、洗浄を行い、図1の如く、ゲート(11)、ゲートライン(12)、補助容量電極(13)および補助容量ライン(14)等を形成する工程がある。ここでは、ゲート材料としてCr膜を約500Å、約1%Feを含んだ約1500ÅのCu膜を使いスパッタリング法で形成する。

【0018】続いて、図2のように、ゲート絶縁膜例えばシリコン窒化膜(15)、ノンドープのa-Si層(30)および半導体保護膜(22)材料となるSiN

層(31)を連続形成する。ここで補助容量電極(13)の上に丸で示したものは、ピンホールの原因となるダスト(32)である。

【0019】続いて、図3のように、トランジスタのチャンネル領域に、エッチングストッパー用の半導体保護膜(22)をエッチングにより形成する。ここでこのエッチングストッパーは、 SiN_x 膜であるため、エッチャントは a-Si (30)もエッチングし、この際、ダスト(32)が繰り抜かれてピンホール(33)が形成される場合がある。またダスト(32)が小さくダストの上に形成されるゲート絶縁膜が厚いと、繰り抜けないこともある。しかし図4のように、次の工程で行れる、 a-Si (30)と N^+ 型の a-Si 層をトランジスタの活性層としてエッチングする際、このエッチャントがゲート絶縁膜(15)をエッチングし、ダスト(32)を繰り抜くことも考えられる。

【0020】ここで前述した2つのエッチャントは、エッチング材料が Si を主体とした物であるため、ゲート絶縁膜もエッチングされてしまう。また図2では、ダスト(32)は補助容量電極(13)と接触しており、ダストが繰り抜かれた際に、補助容量電極(13)表面が露出されるが、ダスト(32)と電極(13)の間にゲート絶縁膜(15)がもうけられ、ダストがちょっと浮いた如く設けられた場合、補助容量電極(13)表面は露出されない。従って、表面が露出されていないピンホールにも高分子を電着させたい場合は、 SiN_x のエッチャントでピンホール内をエッチングし、電極(13)表面を露出させる。

【0021】一方、ゲート絶縁膜が2層になっている場合、2層の膜を形成してからピンホールのエッチングをしてもよいし、1層目と2層目を形成した後に夫々ピンホールのエッチングをしてもよい。続いて、前記半導体保護膜をパターニングした後、全面に N^+ 型の a-Si を全面に積層し、活性層外周を図4のようにエッチングする。ここではこの後に、前述したようなピンホールエッチングを行い、電極が露出されていないピンホールを露出させてもよい。

【0022】続いて、ピンホール(33)に高分子(34)を電着する工程がある。電着液の組成は、例えば日本ペイント(株)のフォトEDシステムP-2000を使用し、主にアクリル系樹脂で中和剤としてアミン類が混入されているものである。通電条件としては、補助容量電極(13)またはこれとコンタクトしている補助容量端子をプラスとし、電着液にマイナスのステンレス電極が設けられている。また全てのピンホールに均一に電界がかかるように、ステンレス電極は、浸されるガラス基板よりも大きくしてある。

【0023】前記ピンホールエッチングされた絶縁性基板を前記電着液に浸し、通電を始めると、ピンホールに高分子が形成されるにつれて、電流は減少してくるので

簡単に検知できる。高分子が形成されたら、電着液からこのガラス基板を取り出し、十分に水洗し、熱を加えて硬化させるか、光硬化性を有する場合は、光を照射して硬化させその後に熱を加えて再硬化させる。

【0024】ここで、ゲートラインまたは/およびゲートに対応するゲート絶縁膜にもピンホールがあり、これも電着で埋めたいときは、前記補助容量ライン(またはこれと接続されている補助容量端子)と全てのゲートライン(または全てのゲート端子)を電気的に接続することで、ゲートラインまたは/およびゲート上にも高分子膜を電着できる。

【0025】本工程は、前工程も含め本発明の特徴となる工程であり、電着によるレジスト付着は、通電部のみに選択的に付着できる特徴を有するため、補助容量電極(13)を通電して電着槽にこの基板を浸せば、ピンホールのみに高分子を付着できる。また電着の場合、最初は高分子が疎に形成され徐々に密になってゆくの、電流は密になった時点で流れなくなり、これ以上高分子は成長しない。つまり補助容量の値が低下するほどの高分子子成長は無いので、補助容量の低下もなく短絡防止が達成できる。

【0026】続いて、全面に透明電極、例えばITOを全面に形成し、図6の如き形状にITOをパターニングして表示電極を形成し、更に全面に、例えばMoとAlを順次積層し、ソース電極(20)、ドレイン電極(21)と一体のドレインライン(22)をパターニングする。更に、メタルをパターニングした後、ソース電極(20)とドレイン電極(21)をマスクにして、トランジスタのチャンネル領域に対応する N^+ 型の a-Si を除去している。

【0027】最後に、図示していないが、対向電極や遮光膜の設けられた対向基板と本基板間に液晶が注入され、完成される。次に第2の実施例を説明する。つまり半導体保護膜が設けられていないものである。まず図7のように、ノンドープの a-Si (30)および N^+ 型の a-Si を順次積層する工程がある。

【0028】続いて、図8のように、活性層外周をエッチングする。この場合、 a-Si のエッチャントはゲート絶縁膜もエッチングするためにダストを繰り抜き、ピンホールを形成する。続いて前述したように電着工程により高分子膜をピンホールに形成する。本工程は、前実施例と同じであるので説明は省略する。

【0029】続いて、全面に透明電極、例えばITOを全面に形成し、図6の如き形状にITOをパターニングして表示電極を形成し、更に全面に、例えばMoとAlを順次積層し、ソース電極(20)、ドレイン電極(21)と一体のドレインライン(22)をパターニングする。更に、メタルをパターニングした後、ソース電極(20)とドレイン電極(21)をマスクにして、トランジスタのチャンネル領域に対応する N^+ 型の a-Si

を除去し図9の如く構成している。

【0030】

【発明の効果】以上の説明からも明らかなように、電着によるレジストは、通電部に付着するために、中で補助容量電極が露出しているピンホールにレジストを付着させることができる。また中で補助容量電極が露出されていないが、耐圧劣化の原因となるピンホールには、電着の前にピンホールをエッチングして電極を露出させることで、全てのピンホールに樹脂を埋め込むことができる。また電着の場合、まずピンホールにはレジストが疎に分布しているので電着が成長するが、成長してゆくにつれてレジストが密になり成長が止まるので、補助容量の値を変える如く厚く着くこともない。従って補助容量の値を大きく変えずに短路、耐圧劣化を防止できる。

【0031】従って、たった1個のピンホールしかない製品をも良品とすることができ、大幅な歩留り向上を達成できる。

【図面の簡単な説明】

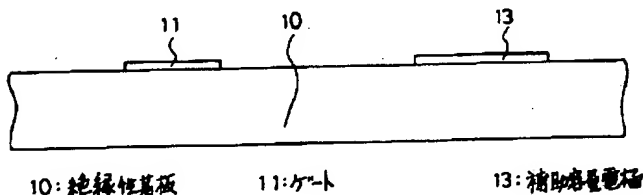
【図1】本発明の製造方法を説明するための断面図である。

【図2】本発明の製造方法を説明するための断面図である。

【図3】本発明の製造方法を説明するための断面図である。

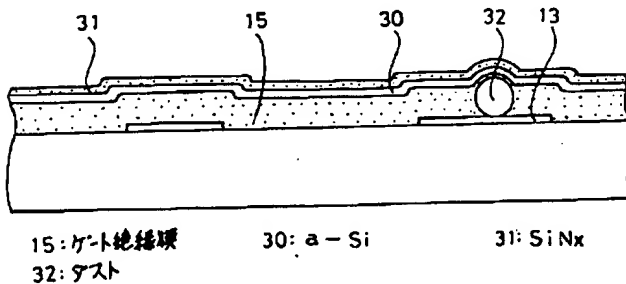
【図4】本発明の製造方法を説明するための断面図である。

【図1】



10: 絶縁性基板 11: ゲート 13: 補助容量電極

【図2】



15: ゲート絶縁膜 30: a-Si 31: SiNx 32: ゲスト

る。

【図5】本発明の製造方法で達成された液晶表示装置の断面図である。

【図6】本発明の製造方法で達成された液晶表示装置の平面図である。

【図7】本発明の他の製造方法を説明するための断面図である。

【図8】本発明の他の製造方法を説明するための断面図である。

10 【図9】他の製造方法により達成された液晶表示装置の断面図である。

【図10】従来の製造方法を説明するための断面図である。

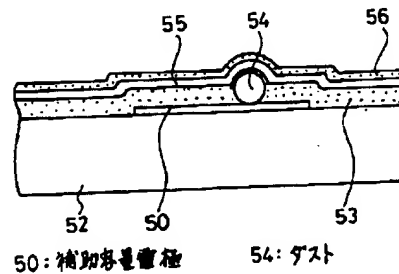
【図11】従来の製造方法を説明するための断面図である。

【図12】従来の製造方法を説明するための断面図である。

【符号の説明】

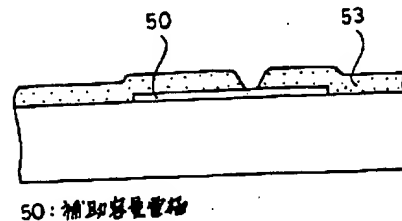
- (10) 絶縁性基板
- (11) ゲート
- (13) 補助容量電極
- (15) ゲート絶縁膜
- (19) 表示電極
- (33) ピンホール
- (34) 高分子膜

【図10】



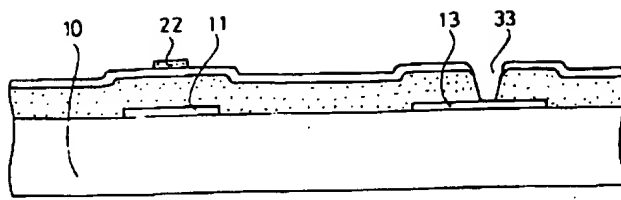
50: 補助容量電極 54: ゲスト

【図11】



50: 補助容量電極

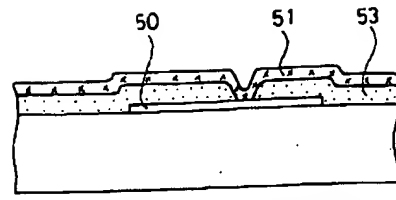
【図3】



22: 半導体保護膜

33: ピンホール

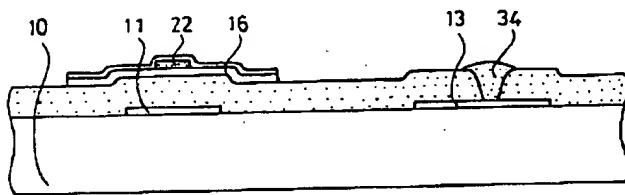
【図12】



50: 補助容量電極

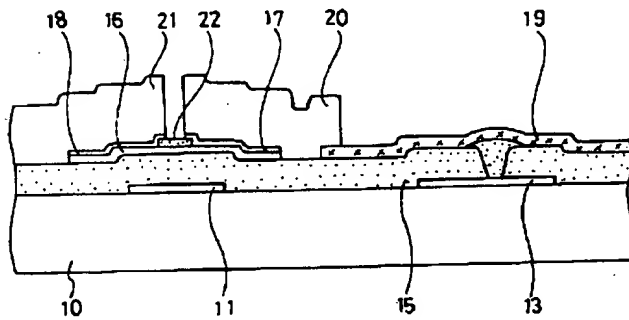
51: 表示電極

【図4】



34: 高分子

【図5】



10: 絶縁性基板

13: 補助容量電極

16: 第1n型単結晶シリコン膜

20: ソース電極

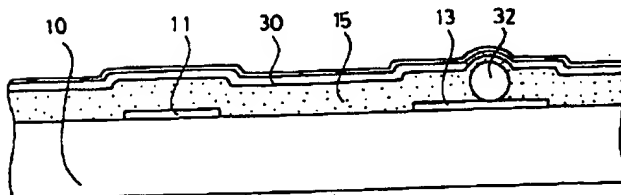
11: ゲート

15: ゲート絶縁膜

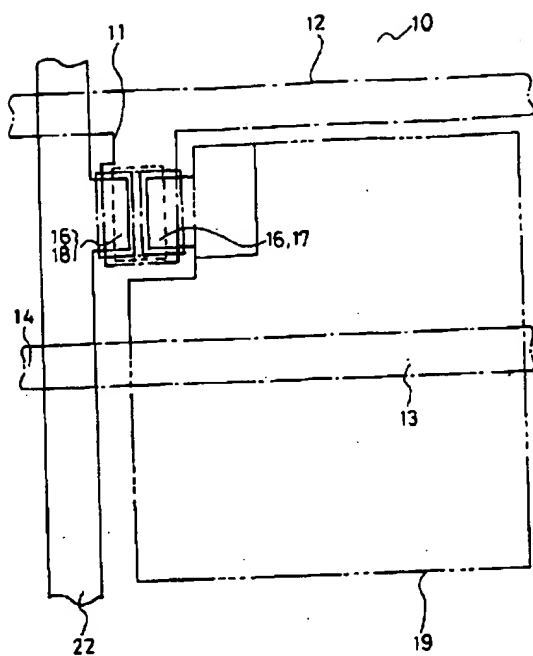
19: 表示電極

21: ドレイン電極

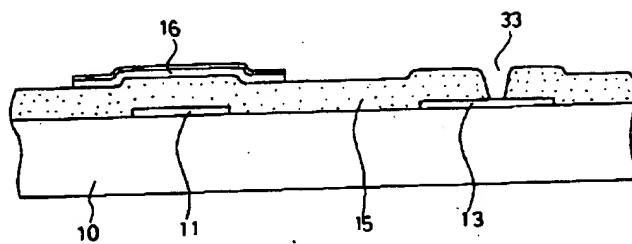
【図7】



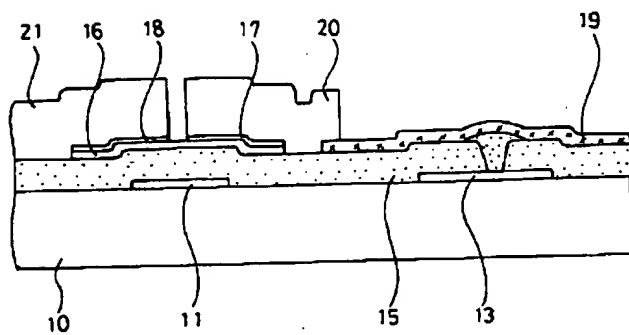
【図6】



【図8】



【図9】



10: 絶縁性基板
13: 補助容量電極

11: ゲート
15: ゲート絶縁膜

Fig. 1.

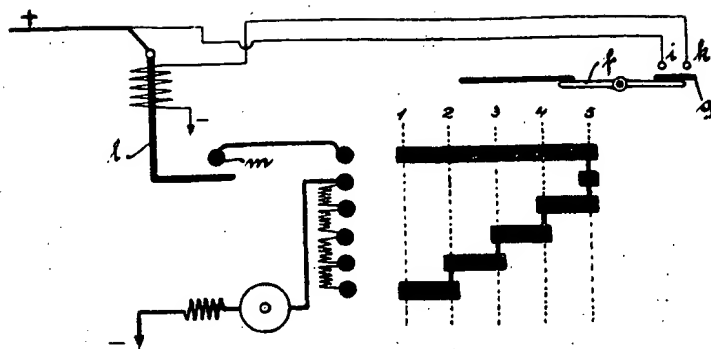


Fig. 2.

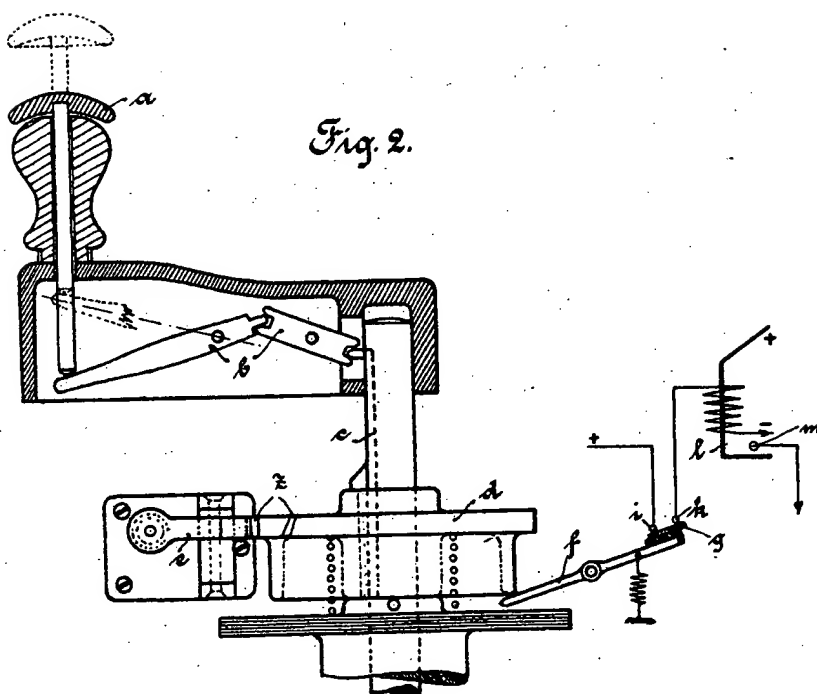
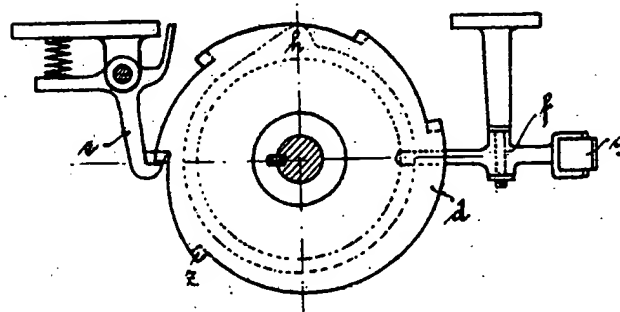


Fig. 3.



Zu der Patentschrift

N^o 208297.